第1章 今，フラッシュFPGAが求められている理由

——10年近い紆余曲折を経て，ようやく日の目を見た“大器晩成”技術

宮崎 仁

ここでは，フラッシュ・メモリ技術を利用したFPGAのデバイス・アーキテクチャとその特徴について解説する．フラッシュFPGAのデバイス・アーキテクチャは，フラッシュ素子をセルや配線の記憶に使用する「直接型」と，SRAM FPGAにコンフィグレーション用のフラッシュ・メモリを集積した「間接型」の2種類に分類できる．本稿の後半では，FPGAやComplex PLDの歴史を紹介しながら，フラッシュFPGAへと至るデバイス・アーキテクチャの変遷について説明する．（編集部）

フラッシュ・メモリは大容量かつ不揮発性の記録メディアとして大人気のメモリ・デバイスです．フラッシュ・メモリを内蔵したSDカード，メモリースティックなどの小型メモリ・カードや，USBポートに直接挿入できるUSBメモリが急速に普及し，フロッピー・ディスクなど，可搬式の磁気記録メディアの置き換えが進んでいます．

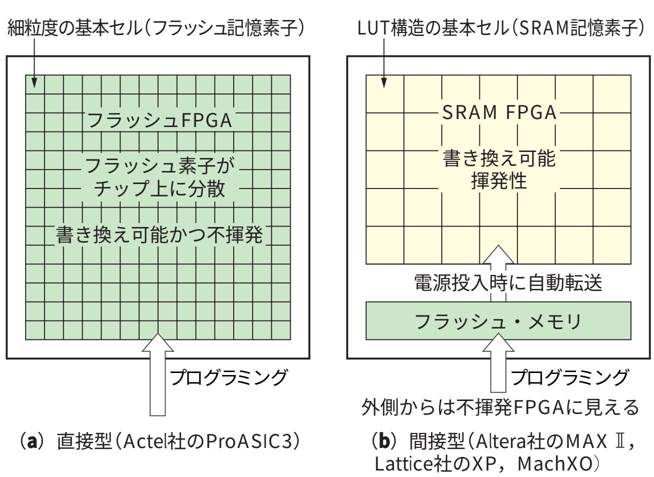


図1 2種類のフラッシュFPGA
フラッシュ・メモリ技術を利用したFPGAのデバイス・アーキテクチャは2種類に分類できる．(b)の間接型は，CPLD市場向けとして製品化される場合もある．

FPGAにおいても，フラッシュ・メモリを記憶素子に採用したフラッシュFPGA製品が数社から登場し，話題になっています．

● フラッシュFPGAのアーキテクチャは2種類

従来，唯一のフラッシュFPGA製品だった米国Actel社のProASICシリーズに，今年（2005年）になって新製品の「ProASIC3」が加わりました．また，これまでなかったLUT（look-up table）構造のフラッシュFPGA製品として，米国Altera社の「MAX II」や米国Lattice Semiconductor社（以降Lattice社）の「XP」，「MachXO」が登場しました．Altera社では，MAX IIを従来のMAXシリーズの後継品種と位置づけて“CPLD（Complex PLD）”と分類していますが，そのデバイス・アーキテクチャはLUT構造のFPGAと呼べるものです．

この3社の製品は，記憶素子としてフラッシュ・メモリを用いた不揮発FPGAである点は共通していますが，その構造は大きく二つに分かれます（**図1**）．

Actel社のProASIC3は，フラッシュ素子（フローティング・ゲート・トランジスタ）をセルや配線の記憶（プログラミング）に直接使用しています．ここでは，この方式を「直接型のフラッシュFPGA」と呼ぶことにします．おおざっぱに言うと，アンチヒューズFPGAのアンチヒューズ（通常は絶縁状態にあり，プログラミング電圧を加えることにより接続状態に変わるヒューズ）をフラッシュ素子に置き換えたような構造です．

この原型となったデバイスは，1995年に米国Zycad社のGateField事業部（後に米国GateField社）によって製品化されました．GateField社は，その後Actel社に買収され，この技術はActel社のProASICシリーズに引き継がれてい

ます．

Altera社のMAX IIやLattice社のXP，MachXOは，直接の記憶素子としてはSRAMを使用し，内蔵するフラッシュ・メモリ・ブロックからチップ内部で回路情報を転送して動作させます．ちょうど，SRAM FPGAとコンフィグレーション用のフラッシュ・メモリを1チップ化したような構造です．別の見かたをすると，FPGAに混載したフラッシュ・メモリ・ブロックに，FPGAのコンフィグレーション情報を書き込めるようにしたものとも考えられます．ここでは，この方式を「間接型のフラッシュFPGA」と呼ぶことにします．

間接型の原型として，1990年代前半に米国Intel社が製品化した「FLEXLogic」があります．FLEXLogicは24V10相当のPLDブロックを4～16個搭載したプロダクト・ターム（積項）構造のデバイスで，CPLDに分類されています．記憶素子にSRAMを用いており，内蔵フラッシュ・メモリからチップ内部で回路情報を転送して動作させるところが特徴でした．

● 書き換え可能，かつ不揮発

このように，最近，FPGAの記憶素子としてフラッシュ・メモリが注目されている理由はいくつかあります（**図2**）．

書き換え可能だが揮発性のSRAM FPGAと，不揮発性だが書き換え不可のアンチヒューズFPGAには，それぞれ一長一短があります．SRAMの場合，コンフィグレーション用の不揮発メモリを外付けする必要があり，部品点数や基板面積が増えるのも難点です．

フラッシュFPGAは，書き換え可能というSRAMの利点と，不揮発性というアンチヒューズの利点を兼ね備えています．しかも，1個のフローティング・ゲート・トランジスタで1ビットの情報を記憶できるので，原理的にはSRAMよりも高密度化が可能です（ただし，現実にはSRAMは製造が容易であり，プロセス微細化の恩恵を早期に受けられるため，SRAMのほうが高密度化に有利と言われている）．

書き換え可能という点では，SRAMのようにほぼ無制限の書き換えができるわけではありません．フラッシュFPGAの書き換え回数は多くても1万回程度に制限されます．しかし，通常はFPGAの回路情報をそれほど頻繁に書き換えることはありません．実用上は，数百回程度の書き換えに対応できれば十分な場合が多いでしょう．

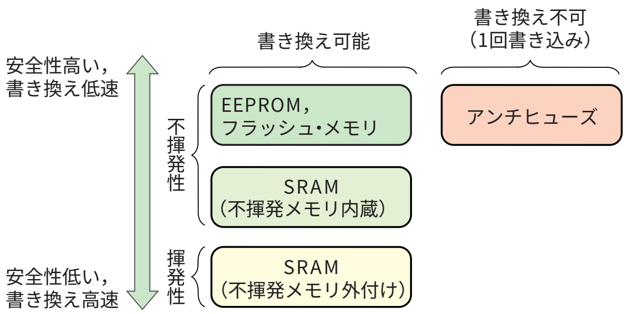


図2　記憶素子の違いと特徴
セキュリティなどの安全性や信頼性の面では，不揮発性デバイスが有利．ただし，動的再構成などの高速書き込みにはSRAMが優れている．

不揮発性という特徴から，電源投入後すぐに動作可能です（インスタントON）．また，外付けROMがないので，回路情報の不正な読み出しを防止できます．とくに近年では，FPGAの回路情報が知的財産として活用・再利用されるようになり，回路情報に対するセキュリティの要求が厳しくなってきています．

このような利点は以前からよく知られており，プロダクト・ターム構造のCPLDや小規模PLDでは，バイト消去型EEPROMやフラッシュ・メモリ（一括消去型EEPROM）などの不揮発メモリが記憶素子として用いられてきました．しかし，大容量・高速動作が要求されるFPGAでは，高密度の論理回路と不揮発メモリを混載すると製造プロセスが複雑になり，集積度を引き上げることが困難でした．そのため，多少の問題はあっても高集積化しやすいSRAMやアンチヒューズが記憶素子に用いられてきました．

フラッシュFPGAは，直接型，間接型ともにこれらの利点をもっています．

● アーキテクチャによって有利・不利がある

最近ではFPGAの利用分野が大きく拡大し，ネットワーク機器や無人施設，自動販売機など，管理者の目が届きにくい遠隔地で使われたり，高度な信頼性・安全性が要求される用途で使われることが増えています．とくに，金銭を扱ったり人体の安全にかかわるシステムでは，誤動作しないことがもちろんベストですが，万一誤動作した場合に原因を突き止めやすいことも重要です．システムの誤動作には，デバイスそのものの不良や劣化，ユーザ設計のバグ，ノイズや動作環境など，さまざまな要因があり，この点ではSRAM FPGAもフラッシュFPGAも条件は同じです．ただし，原因の究明という点では，電源断とともに故障時

1

の状態が失われてしまうSRAM FPGAのほうが不利と言えそうです．

また，今後さらにLSIの微細化が進むと，SRAM FPGAでは中性子線によるファーム・エラーが深刻な問題になると言われています（**図3**）．α線をはじめ，さまざまな宇宙線が地上に飛来していますが，その中で高エネルギーをもつ中性子線は半導体基板（サブストレート）に突入してSi（シリコン）原子に衝突します．衝突で放出されたイオンによって基板に微弱なパルス電流が流れ，SRAMやDRAM，フリップフロップのデータを反転させる可能性があります．とくに，SRAM FPGAのデータ反転は回路変更を意味するので，中性子線エラーが発生すれば被害は大きくなります．

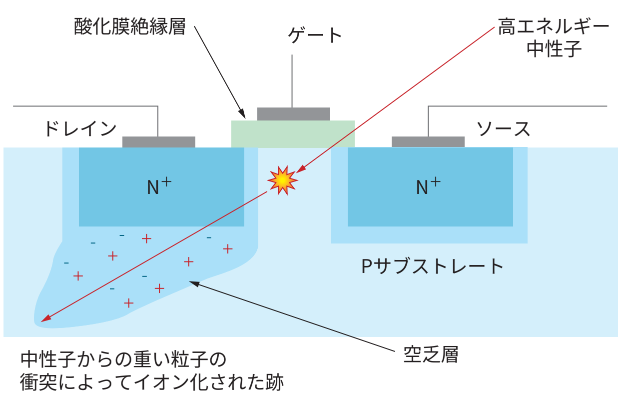


図3　中性子線によるファーム・エラー
LSIの微細化が進むと，SRAM FPGAでは中性子線によるファーム・エラーが深刻な問題になると言われている．本図はActel社のWebサイト（http://www.actel.com/intl/japan/solutions/ser/）から引用した．

一般的な地上付近の用途では，このような中性子線エラーが発生する確率はほかのエラー要因に比べて低かったので，従来はあまり問題とされていませんでした．一方，高エネルギーの中性子線が多く飛来する宇宙・航空分野では，中性子線エラーの問題は早くから知られており，回路の書き換えが起こらないアンチヒューズFPGAがおもに使われていました．

フラッシュFPGAは書き換え可能ですが，記憶素子のフローティング・ゲート・トランジスタを反転させるには高いエネルギーが必要になるため，アンチヒューズFPGAと同様に中性子線エラーに対して耐性があります．直接型のフラッシュFPGAはこうした利点をもちます．一方，SRAMを用いる間接型のフラッシュFPGAではこの利点は得られません．

その代わりというわけではないのですが，間接型のフラッシュFPGAはSRAMの書き換え回数が無制限であり，高速に書き換えられるという利点があります．動作中のFPGAの回路情報を高速に書き換えて，1個のハードウェアを複数の機能に使い分けるダイナミック・リコンフィギャラブル（動的再構成可能）の用途には，フラッシュFPGAの中でもSRAMを用いる間接型が有利です．

● フラッシュFPGA誕生前：先駆けになったのはIntel社

次に，フラッシュFPGAを中心としたPLD/FPGAの歴

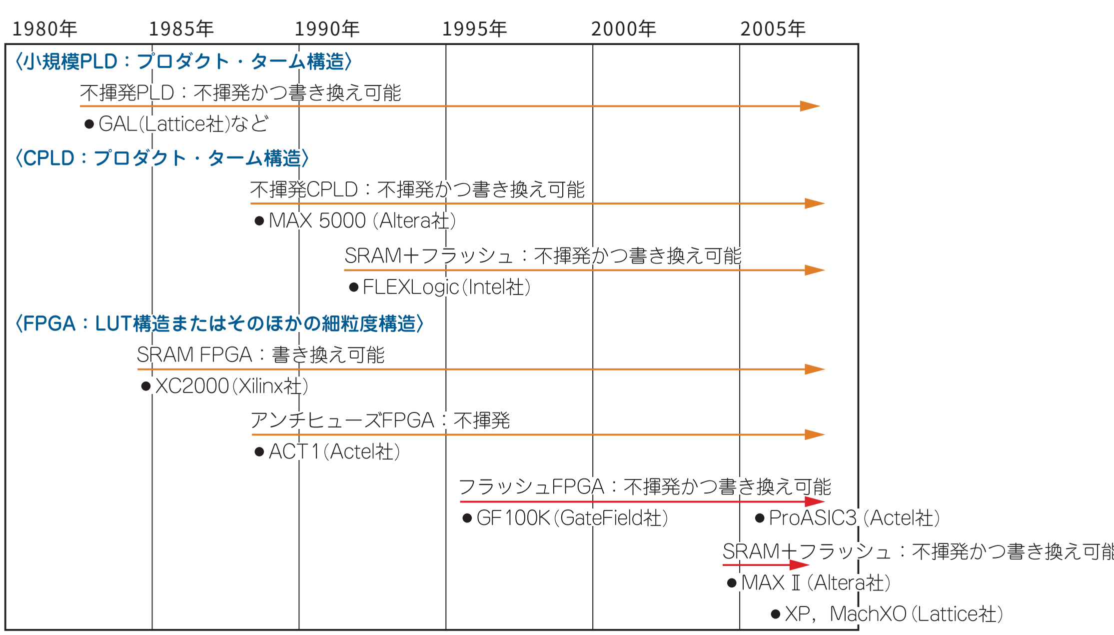


図4　PLD/FPGAの発展
フラッシュFPGA製品は1995年ごろに初めて登場した．

史について紹介します(図4).

ユーザが手元でプログラミングして使える論理LSI，すなわちPLDは1970年代に初めて登場しましたが，当時はバイポーラICで集積度が低いこと，消費電力が大きいこと，記憶素子がヒューズであったため書き換え不可能なことなど，多くの欠点がありました.

1980年代になってCMOS論理プロセスが急速に発展し，一方ではEPROM，EEPROMなどの不揮発メモリも急速に普及しました．これを背景に，1980年代の中ごろにはLattice社の「GAL」やAltera社の「EPLD」をはじめとして，多くのメーカが不揮発かつ書き換え可能なCMOS PLDを製品化しました．これらの小規模な不揮発PLDは，さらにAND-ORアレイを複数個搭載したCPLDへと発展していきました.

同じころ，米国Xilinx社ではLUT構造を採用してより柔軟に回路をプログラミングできるFPGAを初めて製品化しました．FPGAでは，チップ上に分散した任意の細かい(ファイン・グレイン)論理セルを組み合わせて回路を構成するため，記憶素子もチップ上に分散させる必要があります．Xilinx社では，論理回路と同じように構成できるSRAMを記憶素子に採用し，論理セルとともに効率良くチップ上に配置することに成功しました.

やや遅れて，Actel社はアンチヒューズを記憶素子に採用したFPGAを初めて製品化しました．アンチヒューズは書き換えができませんが，その代わり記憶素子としてもっとも小型化が可能であり，チップ上に効率良く分散させて配置できます.

1980年代末には，大規模PLD製品として不揮発かつ書き換え可能なCPLD，揮発性のSRAM FPGA，書き換えできないアンチヒューズFPGAが出そろい，それぞれ競合製品も登場して利点を競っていました.

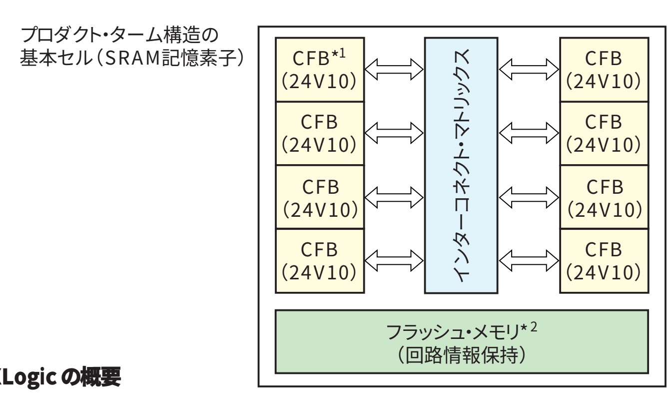
1992年に，Intel社がプロダクト・ターム構造でSRAMを記憶素子に用いた「FLEXLogic」を製品化しました．このFLEXLogicは，SRAM CPLDブロックとフラッシュ・メモリ(またはUVEPROM)によるメモリ・ブロックを1チップに集積し，フラッシュ・メモリ(またはUVEPROM)に書き込んだ回路情報をチップ内部でSRAMに転送することにより，見かけ上，不揮発CPLDとして動作するものでした(図5)．Altera社やLattice社の間接型フラッシュFPGAの先駆けとも言えるデバイスです.

このFLEXLogicには，SRAMの採用によって高性能で柔軟性の高いCPLDを作るねらいと，Intel社が1988年に製品化したフラッシュ・メモリをプロモートするねらいがあったと思われます．しかし，商業的にはあまり成功せず，1994年にIntel社はFLEXLogicを含むPLD事業をAltera社に売却してしまいました．Altera社ではこれを「FLASH Logic」と名称を変えて再発売しましたが，しばらくして販売を中止しました.

1990年代中ごろには，Intel社のほかにも，いくつかのメーカでフラッシュ・メモリを記憶素子に用いたPLD/FPGA製品の開発が進められました．その多くは不揮発CPLDにフラッシュ・メモリを採用したもので，米国Atmel社，米国Cypress Semiconductor社，Xilinx社(XC9500)などから製品化されています．これに対して，フラッシュ・メモリを採用したFPGA製品の開発を進めていたのは，検証系のEDAツール・ベンダとして知られていたZycad社でした.

● フラッシュFPGA登場：EDAベンダが作ったFPGA

Zycad社では1990年代初頭にFPGAを用いた論理エミュレータ(ASICエミュレータ)の製品化を計画しましたが，



(a) 基本構造

CFB数	4～16
マクロセル数(Dフリップフロップ数)	40～160
等価ゲート数	2,500～10,000ゲート
最大RAM容量*3	5,120～20,480ビット
最大I/O数	40～160

(b) 仕様

*1　CFBはConfigurable Function Blockの略．24V10相当の論理ブロックまたは128×10ビットSRAMとして使用可能.

*2　書き換え可能なフラッシュ・メモリ版と，書き換えできない1回書き込みのPROM版がある.

*3　CFBをすべてRAMとして使用した場合のRAM容量.

図5
FLEXLogicの概要
1992年にIntel社が製品化した.

1

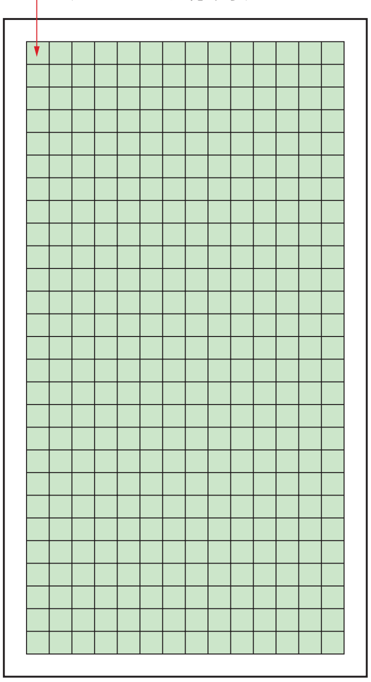
当時のFPGA製品には同社の要求を満足するものがなかったため，1993年にGateField事業部を設置してFPGAの自社開発に着手しました．1995年に，フラッシュ・メモリを記憶素子に用いた初めてのFPGAとして，「ProASIC GF100K」を製品化しました（**図6**）．

Zycad社のEDAツールはゲートアレイ・ユーザをおもな顧客としており，同社のフラッシュFPGAもゲートアレイ・ユーザを意識して開発されています．また，論理エミュレータはおもにゲートアレイの設計データをFPGA上に展開して論理を検証するツールであり，構造や設計環境がゲートアレイに近いほうが有利です．

同社のFPGAはこれらの点を考慮して，ゲート敷き詰め型のゲートアレイ（シーオブゲート）に似せて，ごく小規模な基本ゲート（タイル）をチップ上に敷き詰めた構造（シーオブタイル）を採用しています．LUTよりもさらに細粒度（ファイン・グレイン）という特徴をもちます．また，記憶素子として2トランジスタ構成のフラッシュ素子をチップ上に分散させています．

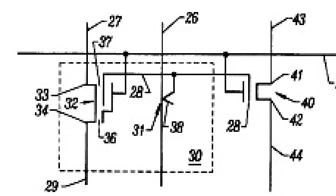
その後，1997年にZycad社は論理エミュレータを含むEDA部門を売却してFPGA専業メーカとなり，社名もGateField社に変更しました．しかし，1998年にProASICの販売権をActel社に売却し，2000年にはGateField社そのものがActel社に買収されました．Actel社ではGate Field社のProASICを引き継ぎ，2002年に「ProASIC PLUS」，2005年に「ProASIC3」を製品化しました．この間，基本的なデバイス・アーキテクチャは変わっていませ

図6
GF100KとProASIC3の概要
初期のGF100Kで最大10,000個，最新のProASIC3で最大75,000個のタイルをもつ．各タイルは，初期のGF100Kでは3階層，最新のProASIC3では4階層の配線リソースを用いて，ほぼ100%配線可能．タイル機能および配線は，Zycad社（GateField社）が特許をもつ不揮発かつ書き換え可能なフラッシュ素子によってプログラムされる．フラッシュ素子は2トランジスタ構成のフローティング・ゲート・トランジスタである．小型で低抵抗，低容量という特徴をもつ．最新の製品には，（c）に示した小容量で低コスト向けの「ProASIC3」と，大容量でハイエンド向けの「ProASIC3E」がある．

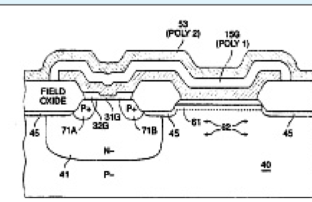


□はタイルと呼ばれる細粒度の基本セル．
3入力ゲートまたはDフリップフロップとして使用可能．

（**a**）基本構造

特許番号	出願日	特許日	発明者	出願人
US 5764096	1996年11月21日*1	1998年6月9日	R. J. Lippほか	米国GateField社
タイトル：General Purpose，Non-Volatile Reprogrammable Switch				
概要：センス・トランジスタとスイッチ・トランジスタの2トランジスタ構成により，書き換え可能な不揮発スイッチ．				

*1　原出願は1994年7月5日

特許番号	出願日	特許日	発明者	出願人
US 5633518	1995年7月28日	1997年5月27日	R. U. Broze	米国Zycad社
タイトル：Nonvolatile Reprogrammable Interconnect Cell with FN Tunneling and Programming Method Thereof				
概要：2トランジスタ構成で書き換え可能な不揮発スイッチ・アレイの構成方法とプログラミング方法．				

（**b**）フラッシュ素子と特許例

	ProASIC3	ProASIC3E
タイル数（Dフリップフロップ数）	768～24,576	13,824～75,264
システム・ゲート数	30K～1Mゲート	600K～3Mゲート
最大RAM容量*1	0～144Kビット	108K～504Kビット
ROM容量*2	1Kビット	1Kビット
最大I/O数	81～288	270～616
オンチップPLL数	0～1	6

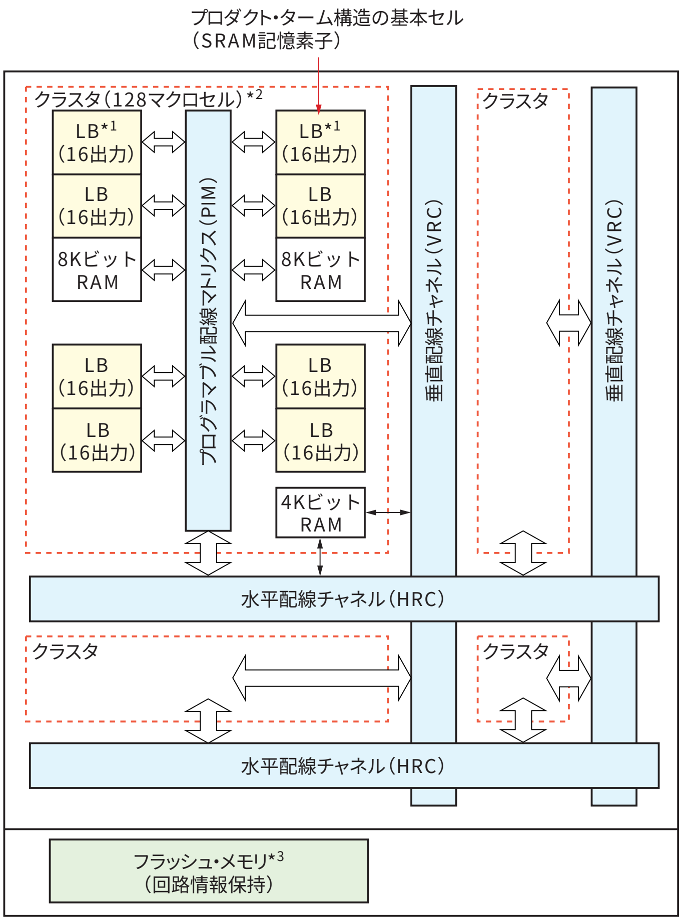
*1　論理セル（タイル）とは別に，独立した4,608ビットのユーザRAMブロックを4～112個搭載している．ただし，30Kゲート品種はRAMなし．
*2　論理セル（タイル）とは別に，独立した1Kビットのユーザ ROM（フラッシュ・メモリ）を搭載している．

（**c**）ProASIC3の仕様

んが，おもに製造プロセスの改良によって大容量化，高速化などの性能改善を実現しています．

GateField社では，当初はロームと提携してプロセス開発やデバイス製造を行っていましたが，その後，ドイツのInfineon Technologies社や台湾のUMC（United Microelectronics Corp.）と提携してプロセスの微細化を進めています．最新のProASIC3は0.13μmプロセスを採用し，システム・ゲート数で3万～300万ゲートの集積度と最大350MHzのクロック周波数を実現しています．

また，ProASIC3は最大504Kビットのユーザ RAM（2ポート），1Kビットのユーザ ROM（フラッシュ・メモリ），最大616本のI/Oをもち，オンチップPLLによるクロック調整回路，128ビットAES（advanced encryption standard）暗号に対応したISP（in-system programming）機能，単一電源書き込みを可能とするチャージ・ポンプ回路を搭載しています．



（a）基本構造

クラスタ数	2～42
マクロセル数（Dフリップフロップ数）	256～5,376
ユーザ・ゲート数	15,000～350,000ゲート
最大RAM容量*4	36K～860Kビット
最大I/O数	160～540

（b）仕様

*1 LB（Logic Block）は16マクロセルをもつ基本PLDブロック．

*2 クラスタは，8個のLBと2個のRAMブロックをPIMで接続し，さらに1個のデュアルポートRAMを内蔵．このクラスタを複数搭載する階層型CPLDアーキテクチャ．

*3 フラッシュ・メモリはCPLDとは別チップ．CPLDチップは単純なCMOSプロセスで，SRAM FPGAに匹敵する高集積と低コストを実現．

*4 シングルポートRAMとデュアルポートRAMの合計．

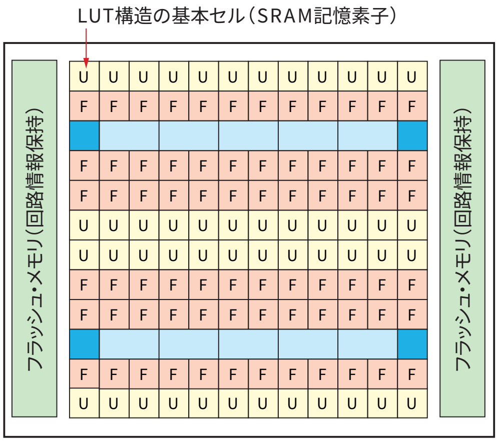
図7　Delta39Kの概要
2000年にCypress Semiconductor社が製品化した．

● 競争の時代へ：CPLDを置き換える

1980年代後半から1990年代前半にはPLD/FPGA市場に新規参入するメーカが多く，新しいデバイス・アーキテクチャも次々に提案されました．1980年代に不揮発PLD，SRAM FPGA，アンチヒューズFPGAが登場した後は，それぞれ複数の競合製品が現れて競争を繰り広げました．先発メーカと競合メーカが特許侵害訴訟で争うことも多く，CPLDに関するAltera社と米国AMD社（後に米国Vantis社，現在のLattice社）の訴訟，SRAM FPGAに関するAltera社とXilinx社の訴訟，アンチヒューズFPGAに関するActel社と米国QuickLogic社の訴訟などがよく知られています．

一方，1990年代後半から2000年代前半にはFPGA/PLD市場から撤退するメーカが多くなり，また淘汰や買収によってメーカの集約や寡占化が進みました．Zycad社のフラッシュFPGAが登場した1995年はちょうどその切り替わりの時期であり，そのためか，フラッシュFPGAには長い間競合製品が現れませんでした．

2000年に，FLEXLogicと同様にプロダクト・ターム構造でSRAMを記憶素子に用いたCPLDとして，Cypress社の「Delta39K」が登場しました（図7）．Delta39Kは，FLEXLogicよりさらにSRAM FPGAに近づいたデバイスで，コンフィグレーション用の不揮発メモリを外付けして動作します．ただし，従来の不揮発CPLDのユーザにも受け入れられるように，CPLDチップとコンフィグレーション用のフラッシュ・メモリ・チップを同一パッケージに封止したモジュール構成の不揮発デバイスが用意されていました．これも，間接型フラッシュFPGAの先駆けの一つと言えるでしょう．



(a) 基本構造

	MachXO	XP
PFU/PFF数	32～285	384～2,464
LUT数(Dフリップフロップ数)	256～2,280	3.1K～19.7K
最大分散RAM容量*1	2K～7.7Kビット	12K～79Kビット
最大EBR RAM容量*2	0～27Kビット	54K～396Kビット
最大I/O数	78～271	136～340
オンチップPLL数	0～2	2～4

*1 論理セル(PFU)をRAMとして使用する場合.

*2 論理セル(PFU/PFF)とは別に，独立した9KビットのRAMブロック(EBR)を搭載している.

(b) 仕様

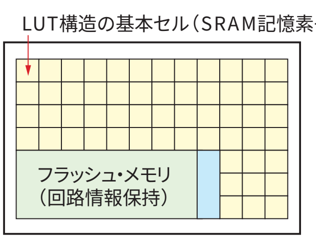
U はプログラマブル機能ブロック(PFU)と呼ばれる基本論理セル．各PFUは8個の4入力LUTと8個のDフリップフロップを搭載し，RAMとしても使用可能(分散RAM).

F はプログラマブル機能ブロック(PFF)と呼ばれる基本論理セル．論理機能はPFUと同等だが，RAMとしては使用できない.

はエンベデッド・ブロック・メモリ(EBR)と呼ばれる独立のRAMブロック(システムRAM).

はオンチップPLLブロック.

図8　XP，MachXOの概要
2005年にLattice Semiconductor社が製品化した.



(a) 基本構造

LAB数	24～221
LE数 (Dフリップフロップ数)	240～2,210
ユーザROM容量	8Kビット
最大I/O数	80～272

(b) 仕様

は論理アレイ・ブロック(LAB)と呼ばれる基本論理セル.
各LABは10個の論理エレメント(LE)を搭載し,
各LEは1個の4入力LUTと1個のDフリップフロップを搭載.

は独立した8Kビットのユーザ ROM(フラッシュ・メモリ).

図9　MAX IIの概要
2004年にAltera社が製品化した．同社はMAXシリーズの後継品種と位置づけており，CPLD(Complex PLD)に分類している.

これをさらに一歩進めて，LUT構造のSRAM FPGAとコンフィグレーション・メモリを初めて1チップに搭載したのは，Lattice社が2003年に発売した「ispXPGA」です．ispXPGAの記憶素子は，Lattice社が得意とするバイト消去型のEEPROMでした.

Lattice社では，集積度やコストをさらに改善するために，富士通の0.13μmプロセスを採用して，2004年にSRAM FPGAの「EC」を，2005年には間接型フラッシュFPGAの「XP」と「MachXO」を発売しました(図8)．XPは，ECと同じ構成のSRAM FPGAと，コンフィグレーション用のフラッシュ・メモリを1チップに集積したデバイスです．MachXOもまったく同じデバイス・アーキテクチャですが，従来の不揮発CPLDの置き換えをねらった小規模，低価格の製品と位置づけられています.

XPは4入力LUTを3,100～19,700個搭載しており，最大414KビットのシステムRAMと最大79Kビットの分散RAMの2種類のユーザRAM，最大340本のI/Oを利用できます．MachXOは4入力LUTを256～2,280個搭載しており，最大27ビットのシステムRAMと最大7.7Kビットの分散RAMの2種類のユーザRAM，最大271本のI/Oを利用できます.

MachXOと同様に，従来の不揮発CPLDの置き換えをねらった小規模，低価格のフラッシュFPGAとして，Altera社が2004年に発売した「MAX II」があります(図9)．MAX IIは台湾TSMC(Taiwan Semiconductor Manufacturing Co.)の低コスト0.18μmプロセスで製造されます．LUTを240～2,210個搭載し，8KビットのユーザROM(フラッシュ・メモリ)，最大272本のI/Oを利用できます.

みやざき・ひとし
(有)宮崎技術研究所

<筆者プロフィール>
宮崎 仁．有限会社 宮崎技術研究所にて回路設計，システム開発，特許調査などに従事．最近の悩みは老眼で，ICの型名が読めない→半導体規格表の文字が読めない→新聞の文字が読みづらい，まで進んできた．日ごろ持ち歩いているサブノート(VAIO U)の文字もそろそろあぶない….